

NON-VOLATILE SEMICONDUCTOR MEMORY

Patent Number: JP7114798
Publication date: 1995-05-02
Inventor(s): GOTO HIROSHI; others: 01
Applicant(s): NKK CORP
Requested Patent: ☐ JP7114798
Application Number: JP19940222734 19940825
Priority Number(s):
IPC Classification: G11C16/06; G11C16/02; G11C16/04; H01L27/115
EC Classification:
Equivalents:

Abstract

PURPOSE: To surely write information in a non-volatile memory cell transistor and to shorten the time for writing information.

CONSTITUTION: A drain of memory cell transistor Ma1 is connected to a sub-bit line BLsa1 of an EEPROM. The sub-bit line is connected to a main bit line BLa1 through a drain/source of a selection transistor Tsa1. Equivalent capacity Co of the subbit line is previously charged to a potential of the main bit line by temporary ON operation of the selection transistor. A potential of the sub-bit line previously charged is inclined to reduce owing to existence of a leakage current component equivalent resistance Ro, but reduction of a potential of the sub-bit line is prevented by intermittently turning on the selection transistor with a pulse and replenishing electric charges from the main bit line to the sub-bit line.

Data supplied from the esp@cenet database - l2

TOP

(11)特許出願公開番号

(43)公開日 平成7年(1995)5月2日

【特許請求の範囲】

【請求項1】主ビット線と；副ビット線と；前記副ビット線を前記主ビット線へ選択的に接続するビット線選択トランジスタと；前記副ビット線選択トランジスタにより前記副ビット線を前記主ビット線へ接続した後、前記ビット線選択トランジスタを間欠的に導通させる導通手段と；不揮発性情報を保持するフローティングゲートおよびこのフローティングゲートに保持される情報の書込、消去または読取を制御するコントロールゲートを持ち、前記副ビット線に接続されるメモリセルトランジスタと；第1電位およびこの第1電位と異なる第2電位が交互に反復する駆動信号を前記メモリセルトランジスタのコントロールゲートに与える駆動信号手段と；を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項2】主ビット線と；容量成分を持つ副ビット線と；前記副ビット線を前記主ビット線へ選択的に接続することにより前記副ビット線の容量成分を主ビット線の電位にプリチャージするビット線選択トランジスタと；不揮発性情報を保持するフローティングゲートおよびこのフローティングゲートに保持される情報の書込、消去または読取を制御するコントロールゲートを持ち、前記副ビット線にプリチャージされた電位の情報がそのフローティングゲートに書き込まれるメモリセルトランジスタと；を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項3】第1電位およびこの第1電位と異なる第2電位が交互に反復する駆動信号を前記メモリセルトランジスタのコントロールゲートに与える駆動信号手段をさらに具備したことを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項4】主ビット線と；副ビット線と；前記副ビット線を前記主ビット線へ選択的に接続するビット線選択トランジスタと；前記副ビット線と前記主ビット線との間に挿入される抵抗体と；前記抵抗体と直列接続され、導通時に前記抵抗体を介して前記主ビット線から前記副ビット線へ所定の電流を流す抵抗体接続トランジスタと；不揮発性情報を保持するフローティングゲートおよびこのフローティングゲートに保持される情報の書込、消去または読取を制御するコントロールゲートを持ち、前記副ビット線に接続されるメモリセルトランジスタと；第1電位およびこの第1電位と異なる第2電位が交互に反復する駆動信号を前記メモリセルトランジスタのコントロールゲートに与える駆動信号手段と；を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項5】主ビット線と；副ビット線と；前記副ビット線を前記主ビット線へ選択的に接続するビット線選択トランジスタと；前記副ビット線と前記主ビット線との間に接続され、前記主ビット線から前記副ビット線へ所定の電流を供給する抵抗体と；不揮発性情報を保持するフローティングゲートおよびこのフローティングゲート

に保持される情報の書込、消去または読取を制御するコントロールゲートを持ち、前記副ビット線に接続されるメモリセルトランジスタと；第1電位およびこの第1電位と異なる第2電位が交互に反復する駆動信号を前記メモリセルトランジスタのコントロールゲートに与える駆動信号手段と；を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項6】主ビット線と；容量成分を持つ副ビット線と；前記副ビット線を前記主ビット線へ選択的に接続することにより前記副ビット線の容量成分を主ビット線の電位にプリチャージするビット線選択トランジスタと；前記副ビット線と前記主ビット線との間に接続され、前記主ビット線から前記副ビット線へ所定の電流を供給する抵抗体と；不揮発性情報を保持するフローティングゲートおよびこのフローティングゲートに保持される情報の書込、消去または読取を制御するコントロールゲートを持ち、前記副ビット線にプリチャージされた電位の情報がそのフローティングゲートに書き込まれるメモリセルトランジスタと；を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項7】第1電位およびこの第1電位と異なる第2電位が交互に反復する駆動信号を前記メモリセルトランジスタのコントロールゲートに与える駆動信号手段をさらに具備したことを特徴とする請求項6に記載の不揮発性半導体記憶装置。

【請求項8】主ビット線と；容量成分を持つ副ビット線と；前記副ビット線を前記主ビット線へ選択的に接続することにより前記副ビット線の容量成分を主ビット線の電位にプリチャージするビット線選択トランジスタと；前記副ビット線と前記主ビット線との間に挿入される抵抗体と；前記抵抗体と直列接続され、導通時に前記抵抗体を介して前記主ビット線から前記副ビット線へ所定の電流を流す抵抗体接続トランジスタと；不揮発性情報を保持するフローティングゲートおよびこのフローティングゲートに保持される情報の書込、消去または読取を制御するコントロールゲートを持ち、前記副ビット線にプリチャージされた電位の情報がそのフローティングゲートに書き込まれるメモリセルトランジスタと；を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項9】第1電位およびこの第1電位と異なる第2電位が交互に反復する駆動信号を前記メモリセルトランジスタのコントロールゲートに与える駆動信号手段をさらに具備したことを特徴とする請求項8に記載の不揮発性半導体記憶装置。

【請求項10】複数の主ビット線と；複数の副ビット線と；前記複数の副ビット線を対応する前記複数の主ビット線へそれぞれ選択的に接続する複数のビット線選択トランジスタと；不揮発性情報を保持するフローティングゲートおよびこのフローティングゲートに保持される情報の書込、消去または読取を制御するコントロールゲートを

3

持ち、前記副ビット線各々に接続される1以上のメモリセルトランジスタと；第1電位およびこの第1電位と異なる第2電位が交互に反復する駆動信号を複数の前記メモリセルトランジスタのコントロールゲートに同時に与える駆動信号手段と；を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項11】複数の主ビット線と；複数の副ビット線と；前記複数の副ビット線に対応する前記複数の主ビット線へそれぞれ選択的に接続する複数のビット線選択トランジスタと；不揮発性情報を保持するフローティングゲートおよびこのフローティングゲートに保持される情報の書込、消去または読取を制御するコントロールゲートを持ち、前記副ビット線各々に接続される1以上のメモリセルトランジスタと；第1電位およびこの第1電位と異なる第2電位が交互に反復する駆動信号を、前記複数の副ビット線のいずれかに接続された1以上の前記メモリセルトランジスタのコントロールゲートに同時に与える駆動信号手段と；を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項12】複数の主ビット線と；複数の副ビット線と；前記複数の副ビット線に対応する前記複数の主ビット線へそれぞれ選択的に接続する複数のビット線選択トランジスタと；不揮発性情報を保持するフローティングゲートおよびこのフローティングゲートに保持される情報の書込、消去または読取を制御するコントロールゲートを持ち、前記副ビット線各々に接続される1以上のメモリセルトランジスタと；第1電位およびこの第1電位と異なる第2電位が交互に反復する駆動信号を複数の前記メモリセルトランジスタ各々のコントロールゲートに順次与える駆動信号手段と；を具備したことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、情報の電気的な書込／消去が可能な不揮発性半導体記憶装置（EEPROM）に関する。

【0002】

【従来の技術】不揮発性半導体記憶装置は、その記憶情報書換え動作を大別すると、（1）ホット・エレクトロンによる書き込み／トンネル電流による消去方式と、（2）トンネル電流による書き込み／トンネル電流による消去方式とに分けられる。

【0003】前者の方式（1）を採用する不揮発性半導体記憶装置の代表例としては、フラッシュEEPROMがある。フラッシュEEPROMでは、メモリセルを構成するMOSトランジスタのコントロールゲートおよびドレイン電極の双方に書き込み用電圧（高電圧 V_{pp} ）を印加してホット・エレクトロンをフローティングゲートに注入することにより、書き込みを行なっている。

【0004】このようなEEPROMでは、メモリセル

4

用MOSトランジスタのチャネル長、フローティングゲート下のトンネル電流通過絶縁膜厚（トンネル酸化膜厚）、あるいはソース・ドレイン間の電極電圧などの変化により、メモリセルトランジスタのしきい値が変化する。その結果、各メモリセルトランジスタへの情報書き込み後のしきい値電圧 V_{TH} の分布（データ“0”）は、図11（a）あるいは図11（b）の斜線で塗りつぶされた上側分布図に示すように大きくばらついたものとなる。

【0005】一方、消去時は、メモリセル用MOSトランジスタのコントロールゲートを接地し、ソース電極（或いはドレイン電極）に消去電圧（ V_{pp} ）を印加し、フローティングゲートに捕獲された電子をトンネル電流の形でソース電極（或いはドレイン電極）に引き抜いている。この消去動作においても、消去後のメモリセルトランジスタのしきい値 V_{TH} の分布（データ“1”）は、書き込み時と同様に、コントロールゲートの電圧（ワード線電圧）、ドレイン電圧（ビット線電圧）あるいはトンネル酸化膜の膜厚などのばらつきに依存して、図11（a）あるいは図11（b）の斜線で塗りつぶされた下側分布図に示すように大きくばらついたものとなる。

【0006】後者の方式（2）を採用する不揮発性半導体記憶装置の代表例としては、NAND型EEPROMがある。このNAND型EEPROMでは、メモリセルを構成するMOSトランジスタのフローティングゲートからのトンネル電流によって書き込みおよび消去が行われる。

【0007】方式（2）のトンネル電流は、前述した方式（1）の消去の場合と同様に、ワード線電圧（コントロールゲート電圧）、ビット線電圧（ドレイン電圧）あるいはトンネル酸化膜の膜厚のばらつきなどに依存して変動する。このため、方式（2）の場合も、書き込み時および消去時のメモリセルトランジスタのしきい値電圧 V_{TH} の分布は、図11（c）斜線で塗りつぶされた上下分布図に示すように大きくばらつく。

【0008】たとえば図11（b）の例でみると、しきい値電圧 V_{TH} のばらつきのうち高電圧側（データ“0”書き込み）は、EEPROMの読取動作電圧（TTLレベルの+5V）より上側に分布しているの、問題は少ない。しかし、低電圧側（データ“1”消去）のしきい値電圧 V_{TH} のばらつきはEEPROMの読取動作電圧（TTLレベルの+5V）の内側に分布するので、データ読み取りに大きく影響する。

【0009】すなわち、EEPROMを構成するメモリセルトランジスタのしきい値電圧 V_{TH} （とくに消去動作によりフローティングゲートの電子を引き抜いた後のしきい値）が上述のように大きくばらつくと、固定された所定のしきい値電圧を基準とする情報読み取り操作ができなくなる可能性がある。

【0010】

【発明が解決しようとする課題】そこで、各メモリセルトランジスタ（ビット）毎に書込／消去時間を変えてしきい値電圧 V_{TH} が所定の範囲に納まるように操作することが考えられる。しかしそうすると、各メモリセルトランジスタの書込状態および消去状態を検出し修正するための回路が必要となるが、その回路構成は複雑で、その分EEPROMが組み込まれる半導体ベレットの面積が大きくなる（欠点1）。

【0011】またビット毎に書込／消去時間を変えることでメモリセルトランジスタのしきい値電圧を所定の範囲に納める操作を行なうと、ビット数が多い場合書込／消去の完了に要する時間が長くなるという問題がある（欠点2）。

【0012】また、一括消去型フラッシュEEPROMの書込／消去動作では、一部のセルが過消去となるのを防ぐために、予め複数のメモリセルトランジスタのフローティングゲートに電荷を蓄積して“0”データを書き込んだ上で、複数メモリセルトランジスタのフローティングゲートの蓄積電荷を一括消去するのが一般的であるが、そのようにすると消去動作が煩雑となる問題がある（欠点3）。

【0013】この発明は上記事情に鑑みなされたもので、その第1の目的は、情報記憶部を構成する複数のメモリセルトランジスタのしきい値のばらつきを押さえ、かつ過消去とならずに確実にメモリセルトランジスタに記憶された情報の消去を行なうことができる不揮発性半導体記憶装置を提供することである。

【0014】この発明の第2の目的は、メモリセルトランジスタへの情報書込を確実なものとしかつ情報書込時間を短縮できる不揮発性半導体記憶装置を提供することである。

【0015】

【課題を解決するための手段】上記第1の目的に係るこの発明の不揮発性半導体記憶装置では、メモリセルトランジスタのコントロールゲートが接続されるワード線に、この発明特有のワード線駆動信号（WDP）を与えている。このワード線駆動信号（WDP）は、注目メモリセルトランジスタ（Ma1）に対する所望のしきい値（たとえば $+2.5V$ ）に対応した一方電位（たとえば $+3V$ ）と、注目メモリセルトランジスタ（Ma1）のフローティングゲートに蓄積された電荷をトンネル電流の形で引き抜くための他方電位（たとえば $-10V$ ）とが交互に所定回数（たとえば10回）反復する振動波形（交流波形）を持つ。ここで、ワード線駆動信号（WDP）の他方電位（ $-10V$ ）の絶対値はその一方電位（ $+3V$ ）の絶対値の数倍（2～5倍くらい）に選ばれるが、この他方電位対一方電位の比をどの程度の数値にするかは個々の実施形態に応じて適宜決定される。またワード線駆動信号（WDP）の交流波形反復回数も個々

の実施形態に応じて適宜決定される。さらに、このワード線駆動信号（WDP）の交流波形自体も矩型波等の特定形状に限定されるものではなく、正弦波、三角波、ノコギリ波等種々な波形をワード線駆動信号（WDP）に適用可能である。

【0016】上記第2の目的に係るこの発明の不揮発性半導体記憶装置では、メモリセルトランジスタへ書込情報を伝達するビット線に書込情報の電荷を保持する手段を設け、この電荷保持手段を書込バッファとして利用している。

【0017】さらに上記第2の目的に係るこの発明の他の不揮発性半導体記憶装置では、メモリセルトランジスタへ書込情報を伝達するビット線に書込情報の電荷を保持する手段と、この電荷保持手段に保持された電荷が漏洩する場合にその漏洩分を補償する手段とを設け、この電荷漏洩が補償された電荷保持手段を書込バッファとして利用している。

【0018】

【作用】上記第1の目的に係るこの発明の不揮発性半導体記憶装置では、まずワード線駆動信号（WDP）の一方電位（ $+3V$ ）を注目メモリセルトランジスタ（Ma1）のコントロールゲートに与え、この一方電位（ $+3V$ ）でこのメモリセルトランジスタがオンするかどうかチェックする。

【0019】もしオンすれば注目メモリセルトランジスタのドレイン・ソース間を通じてビット線電位が低下し、その後ワード線駆動信号（WDP）の他方電位（ $-10V$ ）がメモリセルトランジスタのコントロールゲートに与えられてもそのフローティングゲートからトンネル電流による電荷放出は起きないようになる（過消去防止）。

【0020】最初のワード線駆動信号（WDP）の一方電位（ $+3V$ ）によりメモリセルトランジスタがオンしない（注目メモリセルトランジスタのしきい値が所望値より高い）ときはビット線電位の低下は起きない。その直後にコントロールゲートにワード線駆動信号（WDP）の他方電位（ $-10V$ ）が与えられると、注目メモリセルトランジスタのフローティングゲートから蓄積電荷がトンネル電流の形で僅かに引き抜かれる。すると引き抜かれた電荷分だけ注目メモリセルトランジスタのしきい値が若干低下する。

【0021】しきい値が若干低下したメモリセルトランジスタに再びワード線駆動信号（WDP）の一方電位（ $+3V$ ）が与えられてもこのメモリセルトランジスタがまだオンしない（注目メモリセルトランジスタのしきい値がまだ所望値より高い）ときは、やはりビット線電位の低下は起きない。その直後にコントロールゲートにワード線駆動信号（WDP）の他方電位（ $-10V$ ）が与えられると、注目メモリセルトランジスタのフローティングゲートから蓄積電荷がトンネル電流の形で再び引

き抜かれる。すると引き抜かれた電荷分だけ注目メモリセルトランジスタのしきい値がさらに低下する。

【0022】しきい値がさらに低下したメモリセルトランジスタに再びワード線駆動信号(WDP)の一方電位(+3V)が与えられてこのメモリセルトランジスタがオンすると(つまり注目メモリセルトランジスタのしきい値が所望値まで低下すると)、オンした注目メモリセルトランジスタのドレイン・ソース間を通じてビット線電位が低下する。すると、その後ワード線駆動信号(WDP)の他方電位(-10V)がメモリセルトランジスタのコントロールゲートに与えられても、そのフローティングゲートからトンネル電流による電荷放出は起きないようになる(過消去防止)。この時点で、注目メモリセルトランジスタは、過消去にならずに正確に所望のしきい値となるように消去されたことになる(第1の目的達成)。

【0023】すなわち、この発明によれば、不揮発性半導体記憶装置を構成する多数のメモリセルトランジスタ各々のしきい値を全て、ワード線駆動信号(WDP)の一方電位(+3V)に対応した所望値(+2.5V)に収束させることができるから、メモリセルトランジスタのしきい値のばらつき幅は極めて小さなもの(従来の1/3以下)になる。

【0024】上記第2の目的に係るこの発明の不揮発性半導体記憶装置では、メモリセルトランジスタへ書き込もうとする情報の電荷をビット線上の静電容量成分に一旦保持し(ビット線容量充電の高速動作)、保持された情報電荷(ビット線電圧)を、ビット線容量充電よりは時間がかかるが、注目メモリセルトランジスタのフローティングゲートにホットエレクトロンの形で注入(書込/記憶)している。この「ビット線上の静電容量成分に書込用電荷情報を一旦保持させる(ビット線容量高速充電動作)」といった書込バッファ動作は、通常のDRAM(ダイナミックランダムアクセスメモリ)へのデータ書き込み動作と同様、比較的高速にできる。このため記憶装置(EEPROM)外部からその書込動作をみると、メモリセルトランジスタへの情報書込が短時間のうちに終了したことになる(第2の目的達成)。

【0025】さらに、上記第2の目的に係るこの発明の他の不揮発性半導体記憶装置では、メモリセルトランジスタへ書き込もうとする情報の電荷をビット線上の静電容量成分に一旦保持し、その後保持された情報電荷を注目メモリセルトランジスタのフローティングゲートに注入するが、その際ビット線に漏洩電流がありビット線電位が低下しようとしても、このビット線電位低下を漏洩分補償手段にて防止している。このため、たとえビット線に漏洩電流があっても漏洩電流によるビット線電位の低下は発生せず、ビット線の電荷情報(DRAM類似動作によりビット線容量に高速保持された電圧情報)を長期間保持することができるから、この電荷情報を確実に

に注目メモリセルトランジスタのフローティングゲートに書き込むことができる(第2の目的達成)。

【0026】

【実施例】以下、この発明の不揮発性半導体記憶装置(EEPROM)の構成および動作について、図面を参照しながら説明する。

【0027】図1は、この発明の一実施例に係るEEPROMの要部を示す回路図である。同図において、メモリセルアレイ1は、主ビット線BLa1を副ビット線BLsa1へ選択的に接続するビット線選択トランジスタTs a1と、副ビット線BLsa1にドレインが接続された不揮発性メモリセルトランジスタMa1およびMa2と、メモリセルトランジスタMa1およびMa2の共通ソース回路と副ビット線BLsa1との間に接続されるビット線キャパシタCa1を含んでいる。不揮発性メモリセルトランジスタMa1およびMa2は、それぞれコントロールゲートおよびフローティングゲートを備えたNチャネルMOSトランジスタ構造を持ち、それらのフローティングゲートに不揮発性の電荷情報が保持される。

【0028】ここで、副ビット線とは、メモリセルトランジスタのドレイン(あるいはソース)に接続される導体線をいう。また、主ビット線とは、副ビット線にスイッチ手段を介して接続される導体線をいう。

【0029】メモリセルアレイ1はさらに、主ビット線BLb1を副ビット線BLsb1へ選択的に接続するビット線選択トランジスタTs b1と、副ビット線BLsb1にドレインが接続された不揮発性メモリセルトランジスタMb1およびMb2と、メモリセルトランジスタMb1およびMb2の共通ソース回路と副ビット線BLsb1との間に接続されるビット線キャパシタCb1を含んでいる。不揮発性メモリセルトランジスタMb1およびMb2もそれぞれコントロールゲートおよびフローティングゲートを持ち、それらのフローティングゲートに不揮発性の電荷情報が保持される。

【0030】メモリセルトランジスタMa1、Ma2、Mb1およびMb2の共通ソース回路は、ソース側選択トランジスタTrs1を介して接地回路(あるいは負電源Vss/0V回路)に選択的に接続される。

【0031】ビット線選択トランジスタTs a1およびTs b1のゲートにはビット線選択ゲート線ST1が接続され、ソース側選択トランジスタTrs1のゲートにはソース側選択ゲート線SL1が接続される。また、メモリセルトランジスタMa1およびMb1のゲートにはワード線W1が接続され、メモリセルトランジスタMa2およびMb2のゲートにはワード線W2が接続される。

【0032】ここで、各メモリセルトランジスタ(Ma1~Ma2/Mb1~Mb2)の構成を具体的に例示すると、たとえば以下のようなになる。

9

【0033】*フローティングゲートは、 $3\mu\text{m} \times 1\mu\text{m}$ のサイズで、チャネルおよびソース/ドレインの一部とゲート酸化膜を挟んで接している。

【0034】*チャネルのサイズは $1\mu\text{m} \times 1\mu\text{m}$ であり、ゲート酸化膜の厚みは10nmである。

【0035】*フローティングゲートとコントロールゲートとの間の絶縁膜は、シリコン酸化膜換算で15nmのONO膜(シリコン酸化膜/シリコン窒化膜/シリコン酸化膜)で構成される。

【0036】ビット線選択トランジスタ T_{sa1} 、メモリセルトランジスタ $Ma1 \sim Ma2$ およびビット線キャパシタ $Ca1$ はメモリセルブロック1aを構成し、ビット線選択トランジスタ T_{sb1} 、メモリセルトランジスタ $Mb1 \sim Mb2$ およびビット線キャパシタ $Cb1$ はメモリセルブロック1bを構成している。

【0037】なお図1では、分りやすくするために、各メモリセルブロック中のメモリセルトランジスタ($Ma1 \sim Ma2$ あるいは $Mb1 \sim Mb2$)を2個にしてあるが、実際には各メモリセルブロックを構成するメモリセルトランジスタの数はもっと多くすることができる(たとえば1ブロックあたり256ないし1024個のメモリセルトランジスタ)。この場合、ワード線($W1 \sim W2$)の本数も実際のメモリセルトランジスタの数に対応して増加する。

【0038】メモリセルブロック1aは、ビット線キャパシタ $Ca1$ と副ビット線 BL_{sa1} の浮遊容量(寄生容量)との合成容量(ビット線等価容量 C_o ; $100\text{fF} \sim 300\text{fF}$ 程度)を情報記憶手段とするDRAMの機能を有している。すなわち、ビット線選択トランジスタ T_{sa1} がオンしたときの主ビット線 BL_{a1} の電圧でビット線等価容量 C_o を充電し、充電された容量 C_o の電圧を周期的にリフレッシュしておけば、DRAMと同じ動作原理により副ビット線 BL_{sa1} の容量 C_o に情報を記憶できる。

【0039】メモリセルブロック1bも、ビット線キャパシタ $Cb1$ と副ビット線 BL_{sb1} の浮遊容量との合成容量($100\text{fF} \sim 300\text{fF}$ 程度のビット線等価容量 C_o)を情報記憶手段とするDRAMの機能を有している。すなわち、ビット線選択トランジスタ T_{sb1} がオンしたときの主ビット線 BL_{b1} の電圧でビット線等価容量 C_o を充電し、充電された容量 C_o の電圧を周期的にリフレッシュすれば、DRAMと同じ動作原理により副ビット線 BL_{sb1} の容量 C_o に情報を記憶できる。

【0040】以上のように副ビット線 BL_{sa1} (BL_{sb1})のビット線等価容量 C_o をメモリセルキャパシタとするDRAMとして図1の構成を捕えると、主ビット線 BL_{a1} (BL_{b1})がDRAMのビット線に相当し、ビット線選択ゲート線 $ST1$ がDRAMのワード線に相当することになる。

10

【0041】主ビット線 BL_{a1} の上記DRAM構造は、EEPROMとしてのメモリセルブロック1aに対して相対的に高速な書込バッファとして機能する。また、主ビット線 BL_{b1} の上記DRAM構造は、EEPROMとしてのメモリセルブロック1bに対して相対的に高速な書込バッファとして機能する。

【0042】なお、半導体製造技術の進歩によるメモリ素子の微細化に伴って、副ビット線 BL_{sa1}/BL_{sb1} 自身の浮遊容量(副ビット線とこの副ビット線が形成された半導体領域との間に寄生する静電容量)は小さくなる傾向にあるが、この浮遊容量と多数のメモリセルトランジスタ($Ma1 \sim Ma2/Mb1 \sim Mb2$)のドレイン・ソース間容量との和が $100 \sim 300\text{fF}$ 以上確保できる場合は、キャパシタ $Ca1/Cb1$ を省略することができる。

【0043】図1はEEPROMの構成の一部を示しており、実際のメモリセルアレイは、より多くの主/副ビット線、ワード線、選択ゲート線、選択トランジスタ、メモリセルトランジスタその他を含んでいる。これらのメモリセルトランジスタはマトリクス状に配列される。このメモリセルマトリクスには、外部からのアドレス入力に従って所定のメモリセルを特定するための行/列デコード回路(周辺回路)が接続されている。また複数の主ビット線それぞれには、ビット線プリチャージ回路、および特定したメモリセルトランジスタからその記憶データを読み取るためのセンスアンプが接続されている。これら行/列デコード回路、プリチャージ回路およびセンスアンプの構成は、一般的なDRAMにおいて周知のものである。

【0044】副ビット線 BL_{sa1} はスイッチ回路5aを介して電荷引抜完了検出回路4aに接続され、副ビット線 BL_{sb1} はスイッチ回路5bを介して電荷引抜完了検出回路4bに接続される。電荷引抜完了検出回路4aおよび4bは、それぞれ、正電源 V_{dd} (+5V)側にPチャネルMOSトランジスタ T_6 を配し、負電源 V_{ss} (0V)側にNチャネルMOSトランジスタ T_7 を配したCMOSインバータで構成される。

【0045】電荷引抜完了検出回路4aは、スイッチ回路5aが閉じた時点において副ビット線 BL_{sa1} の電位がNチャネルMOSトランジスタ T_7 のゲートしきい値(たとえば+2.5V)より高い場合に V_{ss} レベル(=0V)の出力 D_a を発生し、スイッチ回路5aが閉じた時点において副ビット線 BL_{sa1} の電位がPチャネルMOSトランジスタ T_6 のゲートしきい値(たとえば $5V - 2.5V = +2.5V$)より低い場合に V_{dd} レベル(=5V)の出力 D_a を発生する。

【0046】すなわち、電荷引抜完了検出回路4aの出力 D_a が V_{ss} レベル(=0V)の場合は副ビット線 BL_{sa1} に接続された注目メモリセルトランジスタ $Ma1$ (あるいは $Ma2$)のフローティングゲートからの電

荷引き抜きが完了しておらず、出力DaがVddレベル(=5V)に変化した時点で、副ビット線BLsa1に接続された注目メモリセルトランジスタMa1(あるいはMa2)のフローティングゲートからの電荷引き抜きが完了したことが検出される。

【0047】同様に、電荷引抜完了検出回路4bの出力DbがVssレベル(=0V)の場合は副ビット線BLsb1に接続された注目メモリセルトランジスタMb1(あるいはMb2)のフローティングゲートからの電荷引き抜きが完了しておらず、出力DbがVddレベル(=5V)に変化した時点で、副ビット線BLsb1に接続された注目メモリセルトランジスタMb1(あるいはMb2)のフローティングゲートからの電荷引き抜きが完了したことが検出される。

【0048】ワード線W1およびW2は、ワード線スイッチ回路3を介して、ワード線駆動パルス発生回路2の出力回路に共通接続される。この回路2は、+3Vの正電源と-10Vの負電源に接続されたCMOSインバータ(PチャネルトランジスタT2+NチャネルトランジスタT3)と、その入力側の常オンPチャネルトランジスタT4(そのゲート電位を制御すれば選択トランジスタとなる)と、このCMOSインバータの出力をその入力側に正帰還させるNチャネルトランジスタT5から構成されている。

【0049】ワード線駆動パルス発生回路2は、0Vと+5Vの間で電位変化する入力WDSINの信号電位に応じて+3Vと-10Vの間で電位変化するパルス出力WDPOUTを発生する。

【0050】すなわち、ワード線駆動パルス発生回路2は、図2(a)に示すような波形のワード線駆動信号入力WDSINが与えられると、図2(b)に示すような波形のワード線駆動パルス出力WDPOUTを発生する。この回路2は、図2(a)に示すような0V/+5Vのパルスを図2(b)のような+3V/-10Vのパルスにレベルシフトする機能を持つ。

【0051】図2(b)に示すような+3V/-10Vのワード線駆動パルス出力WDPOUTは、ワード線スイッチ回路3がオンされているときにワード線W1およびW2に供給される。これにより、ワード線W1およびW2にコントロールゲートが接続された全てのメモリセルトランジスタ(そのドレインに十分な副ビット線電位が与えられているもの)を、+3V/-10Vのワード線駆動パルス出力WDPOUTにより所望のしきい値に一括消去できるようになる(全ビット単位あるいはメモリブロック単位の一括消去フラッシュEEPROM動作)。

【0052】次に、図3を参照して、図1のEEPROMにおけるビット線選択トランジスタTs a1およびメモリセルトランジスタMa1の回路動作(消去/漏洩電流補償)を説明する。ここで、図3(b)は図1のメモ

リ構成を簡略化した回路であり、その各部に印加される電圧波形が図3(a)に示されている。

【0053】図3(b)において、主ビット線BLa1はビット線選択トランジスタTs a1のドレイン・ソース間を介してNチャネルMOS型メモリセルトランジスタMa1のドレインに接続され、トランジスタMa1のドレイン・ソース間にビット線等価容量Coおよび漏洩電流成分等価抵抗Roが並列接続されている。

【0054】ここで、ビット線等価容量Coは副ビット線BLsa1の浮遊容量とビット線キャパシタCa1との合成値を示し、漏洩電流成分等価抵抗Roは副ビット線BLsa1からメモリセルトランジスタMa1のソース回路(Vss/0V)へ漏洩する電流の経路が持つ抵抗値を示す。ここでは仮に、等価容量Coは1pF程度のとし、等価抵抗Roは1000MΩ程度とする。

【0055】まず、揮発性メモリセルトランジスタMa1のしきい値電圧VTHが最初は6.5V以上あるものとして、消去動作から説明する(図11(b)参照)。

【0056】図3(a)の中段左側に示すような+5Vの電位をビット線選択ゲート線ST1に与えた状態で、同図上段に示すような+5Vの電位を主ビット線BLa1に与えると、トランジスタTs a1がオンし、副ビット線BLsa1がほぼ+5Vにプリチャージされる(電位の基準0V=VssはメモリセルトランジスタMa1のソース回路にとる)。

【0057】その後、図3(a)の中段左側中央寄りに示すようにビット線選択ゲート線ST1の電位を0Vに下げると、トランジスタTs a1がオフし、副ビット線BLsa1は主ビット線BLa1から電気的に切り離されてフローティング状態となる。この状態では、副ビット線BLsa1のプリチャージ電位+5Vは、微小容量(1pF)である副ビット線等価容量Coに充電された電荷により維持される。

【0058】続いて、ワード線W1を介してメモリセルトランジスタMa1のコントロールゲートに、図3(a)の下段左側中央寄りに示すようなワード線駆動パルスが印加される。このパルスには、図1のワード線駆動パルス発生回路2からの出力WDPOUTが用いられる。ここで、図3(a)下段のワード線駆動パルスがない期間(0V期間)は図1のスイッチ回路3がオフの期間であり、このパルスが生じている期間はスイッチ回路3がオンしている。

【0059】スイッチ回路3のオンによりメモリセルトランジスタMa1のコントロールゲートに+3Vが短時間(たとえば20μs)印加されるが、そのしきい値電圧VTHは最初6.5V以上あると仮定したので、トランジスタMa1はオフしたままである。この時点で、等価抵抗Roを介して流れる漏洩電流による副ビット線電位降下がまだ無視できる状態であるとすれば、副ビット

13

線BLsa1のフローティング状態(+5V)が維持される。

【0060】次にメモリセルトランジスタMa1のコントロールゲートに-10Vのワード線駆動パルスが短時間(たとえば10 μ s)印加されると、ドレインが+5VにプリチャージされているメモリセルトランジスタMa1のフローティングゲートとドレイン間にトンネル電流が流れる。このトンネル電流によりフローティングゲートの電荷が若干引き抜かれ、その結果としてメモリセルトランジスタMa1のしきい値電圧VTHが若干下がる。

【0061】メモリセルトランジスタMa1のしきい値電圧VTHが若干下がっても、それがワード線駆動パルスの+3Vより大きい限り、メモリセルトランジスタMa1はオンしない。

【0062】メモリセルトランジスタMa1がオンしない間でも、そのドレインに十分なプリチャージ電位が与えられておれば、-10Vのワード線駆動パルスが印加される度に、そのフローティングゲートから少しずつ電荷がトンネル電流の形で引き抜かれ、そのしきい値電圧VTHが少しずつ漸次低下してくる。

【0063】ただし、メモリセルトランジスタMa1のフローティングゲートに流れるトンネル電流および漏洩電流成分等価抵抗Roに流れる漏洩電流によりビット線等価容量Coの充電電圧(副ビット線プリチャージ電位)も時間経過に伴って低下してくる。このプリチャージ電位が低下し過ぎると(つまりメモリセルトランジスタMa1のドレイン電位が低くなりすぎると)、たとえばトランジスタMa1のコントロールゲートに-10Vが印加されてもそのフローティングゲートにトンネル電流が流れなくなる。そうすると、トランジスタMa1のしきい値電圧VTHの漸次低下動作が、ワード線駆動パルス+3Vに対応した所望値(たとえば+2.5V)に達する前に停止してしまう。

【0064】そこで、上記副ビット線プリチャージ電位の低下を防止するために、図3の構成では、ワード線駆動パルス出力WDPOUTをワード線W1に印加している期間中、間欠的にビット線選択トランジスタTs a1を瞬間的にオンさせて、主ビット線BLa1からフローティング状態の副ビット線BLsa1に少量の電荷注入を行なっている。

【0065】すなわち、フローティング状態の副ビット線BLsa1の電位がある程度低下する頃合を見計らって図1のスイッチ回路3をオフし、図3(a)の下段中央に示すように、ワード線駆動パルス出力WDPOUTのワード線W1への印加を中断する(中断期間は、パルスWDPOUTの1周期30 μ s以下、たとえば7 μ s程度にする)。そして図3(a)の中段中央に示すように、ワード線駆動パルス出力WDPOUTの中断期間中(7 μ s)にビット線選択ゲート線ST1に+5Vの短

14

いパルス(たとえば前後に2 μ sの時間的なスペースを持たせた幅3 μ sのパルス)を与えてビット線選択トランジスタTs a1を一瞬オンさせ、電位が低下した副ビット線BLsa1を+5Vのフルプリチャージ状態に戻す。

【0066】上述した図3(a)中段/下段に示すようなパルスの組み合わせによって、たとえばビット線漏洩電流があってもフローティング状態の副ビット線BLsa1の電位(+5V前後)を確保する。その上で、ワード線駆動パルス出力WDPOUTの-10Vの反復印加により、メモリセルトランジスタMa1のフローティングゲートから少しずつ電荷を引き抜いて行く。

【0067】上記電荷引き抜き結果メモリセルトランジスタMa1のしきい値電圧VTHが所望値(+2.5V)まで下がると、その直後のワード線駆動パルス出力WDPOUTの+3VによりメモリセルトランジスタMa1がオンし、副ビット線BLsa1の電位が0Vに低下する。そうすると、それ以降はメモリセルトランジスタMa1のフローティングゲートからの電荷引き抜きは停止し、メモリセルトランジスタMa1のしきい値電圧VTHは正確に所望値+2.5Vとなる(これがメモリセルトランジスタMa1の消去状態)。

【0068】このメモリセルトランジスタMa1の消去終了は、副ビット線BLsa1に接続された図1の電荷引抜完了検出回路4aにより検出される(Da="1")。この消去終了が検出された後は、図3(a)中段中央の3 μ s幅パルスの印加も停止する。

【0069】以上の消去動作を、図1のメモリセルブロック1aのメモリセルトランジスタ全て(Ma1~Ma2)について同時に行なえば、ブロック単位の一括消去(フラッシュ消去)が実現する。この消去動作を全てのメモリセルブロックに対して同時に行なえば、メモリチップ単位の一括消去が実現する。この消去動作を個々のメモリセルトランジスタに対して順次行なえば、ビット単位の消去が実現する。

【0070】いずれの消去動作の場合も、消去動作中の副ビット線電位は所定値(+5V前後)に維持され、かつ所定ワード線電位(+3V)と逐次比較されながらメモリセルトランジスタのフローティングゲートから電荷引き抜きが漸次行なわれるので、全てのメモリセルトランジスタのしきい値電圧VTHを所望値(+2.5V)に正確に収束させることができる。

【0071】しかも、この収束動作はワード線駆動パルス出力WDPOUTの精々10パルス(1パルス30 μ sとして長くても300 μ s程度)で完了できるので、ブロック単位あるいはメモリチップ単位のフラッシュ消去を高速(300 μ s以内)に行なうことができる。

【0072】次に、メモリセルトランジスタMa1のしきい値電圧VTHが所望値より低い(たとえば+2V)場合における過消去防止のメカニズムを説明する。

【0073】まず、しきい値電圧 V_{TH} が所望値よりも高い場合と同様に、メモリセルトランジスタ $Ma1$ のソース線の電位 V_{ss} を接地電位 $0V$ とし、ビット線選択トランジスタ $Tsa1$ をオンさせて副ビット線 $BLsa1$ の電位を $+5V$ にプリチャージしてからビット線選択トランジスタ $Tsa1$ をオフ状態とし、副ビット線 $BLsa1$ を $+5V$ のフローティング状態にする。この場合、ビット線等価容量 C_o は充電された状態となっている。

【0074】続いて、ワード線 $W1$ に図3(a)の下段に示すようなワード線駆動パルスを印加する。しきい値電圧 V_{TH} が所望値より低い($+2V$)状態のメモリセルトランジスタ $Ma1$ のドレインは副ビット線プリチャージ電位($+5V$)となっているので、そのコントロールゲートに $+3V$ のパルスが印加されると、メモリセルトランジスタ $Ma1$ はオンする。すると、このメモリセルトランジスタのドレイン・ソース間にチャンネル電流が流れ、ビット線等価容量 C_o が放電してドレイン電圧が低下する。そうすると、メモリセルトランジスタ $Ma1$ のコントロールゲートに $-10V$ のパルスが印加されても、フローティングゲートとドレイン間にトンネル電流は流れなくなる。このためもともとしきい値電圧 V_{TH} の低いメモリセルトランジスタ $Ma1$ のフローティングゲートからさらに電荷が引き抜かれることはなく、過消去が防止される。

【0075】なお、しきい値電圧 V_{TH} が所望値($+2.5V$)より低い($+2V$)メモリセルトランジスタについては、その後データ"0"の書き込みがなされフローティングゲートに電荷が注入されてしきい値電圧 V_{TH} が高く($+6.5V$ 以上)なった後にワード線駆動パルス出力 $WDPOUT$ が 10 パルス印加されると、そのしきい値電圧 V_{TH} は所望値($+2.5V$)に収束する。

【0076】このように、この発明のEEPROMでは、もともとのしきい値電圧 V_{TH} が所望値よりも高いメモリセルトランジスタについてはそのしきい値電圧 V_{TH} を所望値に収束させる一方で、もともとのしきい値電圧 V_{TH} が所望値以下メモリセルトランジスタについてはそのフローティングゲートから電子を引き抜かないようにしている。

【0077】このため、たとえしきい値電圧 V_{TH} が異なる値にばらついている複数のメモリセルトランジスタを同時に一括消去したとしても過剰消去となるメモリセルが生じることはなく、ほぼ全てのメモリセルトランジスタのしきい値電圧 V_{TH} を所望値に正確に収束させることができる。したがって、従来行われていた、時間のかかる「消去前書込動作を伴う不揮発性メモリのしきい値揃え操作」がこの発明では不要となる。

【0078】ここで、図1あるいは図3(b)に示すDRAM型記憶装置の、消去/書込/読出/リフレッシュ

動作を簡単にまとめておく。

「消去動作」

(1) 消去の対象となる1以上のメモリセルトランジスタ(たとえば $Ma1 \sim Ma2 / Mb1 \sim Mb2$)を含むDRAMセル部分(副ビット線 $BLsa1 / BLsb1$)の行(ゲート線 $ST1$)と列(ビット線 $BLa1 / BLb1$)を、図示しない行/列デコーダで指定して、選択トランジスタ($Tsa1 / Tsb1$)をオンにする。これにより該当DRAMセル部分(副ビット線 $BLsa1 / BLsb1$)が、 $+5V$ にプリチャージされる。

【0079】(2) 消去対象の1以上のメモリセルトランジスタ($Ma1 \sim Ma2 / Mb1 \sim Mb2$)のドレイン(副ビット線 $BLsa1 / BLsb1$)を $+5V$ にプリチャージした状態で、消去対象の1以上のメモリセルトランジスタ($Ma1 \sim Ma2 / Mb1 \sim Mb2$)のコントロールゲート(ワード線 $W1 / W2$)に、図2(b)に示すような消去用ワード線駆動パルス $WDPOUT$ を印加する。これにより、消去対象のメモリセルトランジスタ($Ma1 \sim Ma2 / Mb1 \sim Mb2$)それぞれのしきい値を、所望の値(たとえば $+2.5V$)に収束させる(全ビット一括消去;フラッシュEEPROM動作)。この全ビット一括消去により、全てのメモリセルトランジスタは、たとえばデータ"1"(しきい値 $2.5V$ 相当)で書き潰されることになる。

「書込動作(消去後)」

(1) 書込の対象となるメモリセルトランジスタ(たとえば $Ma1$)を含むDRAMセル部分(副ビット線 $BLsa1$ の等価容量 C_o)の行(ゲート線 $ST1$)と列(ビット線 $BLa1$)を、図示しない行/列デコーダで指定して、選択トランジスタ($Tsa1$)をオンにする(メモリの電源電圧が $+5V$ の場合、選択トランジスタ $Tsa1$ のゲートにはたとえば $+7V$ が印加される)。これにより該当DRAMセル部分の容量 C_o が、書込データ("1"または"0"に対応する電圧;"1"データはたとえば $0V$ 相当、"0"データはたとえば $+5V$ 相当)に充電される。

【0080】(2) 書込対象のメモリセルトランジスタ($Ma1$)のドレイン(副ビット線 $BLsa1$)を書込用電圧(等価容量 C_o の充電電圧)とし、このメモリセルトランジスタ($Ma1$)のコントロールゲート(ワード線 $W1$)に書き込み用高電圧(たとえば $+6V$)を印加して、書込用電圧に対応したホット・エレクトロンをメモリセルトランジスタ($Ma1$)のフローティングゲートに注入する。これにより、DRAMセル部分(副ビット線 $BLsa1$)を書込バッファとした、書込対象メモリセルトランジスタ($Ma1$)への書き込みが行なわれる。

【0081】すなわち、副ビット線容量 C_o に蓄えられた書込データが"0"(副ビット線 $BLsa1 = +5$

17

V) なら書込対象メモリセルトランジスタ (Ma1) のフローティングゲートにホット・エレクトロンを注入してそのしきい値をたとえば6.5V以上にし、込データが"1" (副ビット線BLsa1=0V) ならホット・エレクトロン注入をせずに書込対象メモリセルトランジスタ (Ma1) のしきい値を消去時の2.5Vのままとする。

「読出動作」

(1) 読出の対象となるメモリセルトランジスタ (たとえばMa1) を含むDRAMセル部分 (副ビット線BLsa1の等価容量Co) の行 (ゲート線ST1) と列 (ビット線BLa1) を、図示しない行/列デコーダで指定して、選択トランジスタ (Tsa1) をオンにする。これにより、DRAMセル部分 (副ビット線BLsa1) の電位は、読出対象メモリセルトランジスタ (Ma1) への電子 (ホット・エレクトロン) 注入が起きない程度の低電圧 (たとえば+1~2V) にプリチャージされる。そうするために、読出時の列 (ビット線BLa1) 電位は低め (たとえば+2.5V) に設定される。

【0082】(2) 読出対象のメモリセルトランジスタ (Ma1) のコントロールゲート (ワード線W1) の電位を、データ"0" (しきい値+6.5V) とデータ"1" (しきい値+2.5V) の中間電位 (+4V前後) に設定する。

【0083】ここで、読出対象のメモリセルトランジスタ (Ma1) に格納されたデータが"0" ならこのトランジスタ (Ma1) はオフしたままなのでDRAMセル部分 (副ビット線BLsa1) の電位は設定された電位 (+1~2V) にある。この電位は副ビット線BLsa1に接続されたセンスアンプ (図示せず) により検知され、データ"0" として外部へ読み出される。

【0084】また、読出対象のメモリセルトランジスタ (Ma1) に格納されたデータが"1" ならこのトランジスタ (Ma1) がオンする (メモリセル電流が流れる) のでDRAMセル部分 (副ビット線BLsa1) の電位はほぼ0Vに低下する。この略0V電位は副ビット線BLsa1に接続されたセンスアンプ (図示せず) により検知され、データ"1" として外部へ読み出される。

「リフレッシュ動作」

(1) DRAMセル部分 (副ビット線BLsa1) の容量Coに格納された電圧情報 (高電圧/低電圧) は、周期的に図示しないセンスアンプにより読み出される。

【0085】(2) センスアンプは、副ビット線BLsa1の高電圧情報 (書込時+5V、読出時は+1~2V) を検知すると同時に、検知した電圧と同じ電圧で副ビット線BLsa1を再充電する。同様に、センスアンプは、副ビット線BLsa1の低電圧情報 (0V) を検知すると同時に、検知した電圧と同じ電圧で副ビット線BLsa1を再充電する。

18

【0086】以上のようにして、DRAMセル部分 (副ビット線BLsa1) に格納された電圧情報が、データの読出時に、あるいは所定のリフレッシュ周期毎に、リフレッシュされる (これは周知のDRAMのリフレッシュ動作と同じである)。これにより、DRAMセル部分の情報 (容量Coに充電された電圧情報) は、外部装置により書き換えられない限り、あるいは装置の電源がオフされない限り、維持される。

【0087】次に、この発明の第2の実施例に係る不揮発性半導体記憶装置について、図4を参照して説明する。図4の実施例構成は、ワード線駆動パルス発生回路2aの構成が図1のワード線駆動パルス発生回路2と異なる点以外は同一であるので、同一部分の説明は省略する。

【0088】ワード線駆動パルス発生回路2aは、トランジスタT8+T9からなるCMOSインバータ6と、トランジスタT10+T11からなるCMOSインバータ7と、トランジスタT12+T13からなるCMOSインバータ8と、インバータI1, I2およびキャパシタC1の直列回路からなるスピードアップ回路9 (CMOSインバータ8の入力パルスの立ち上がり/立ち下がり速度を速める) と、常オンのトランジスタT14 (ゲート電位を制御すれば選択トランジスタとなる) と、正帰還トランジスタT15とからなり、トランジスタT11とトランジスタT12のドレイン同志が接続され、CMOSインバータ6の入力端子に接続され、その接続点に0Vが印加されている。

【0089】CMOSインバータ7の正電源 (PチャネルMOSトランジスタT10のソース側) はワード線駆動パルス出力WDPOUTの正パルス電位に対応した電圧+3V (あるいは+5V) となっており、その出力端子はPチャネルMOSトランジスタT8のソースに接続される。

【0090】また、CMOSインバータ8の負電源 (NチャネルMOSトランジスタT13のソース側) はワード線駆動パルス出力WDPOUTの負パルス電位に対応した電圧-10Vとなっており、その出力端子はNチャネルMOSトランジスタT9のソースに接続される。

【0091】NチャネルMOSトランジスタT11のソースおよびPチャネルMOSトランジスタT12のドレインは、CMOSインバータ6の入力端子に接続されている。CMOSインバータ8の入力端子には、スピードアップ回路9の出力端とNチャネルMOSトランジスタT15のドレインが接続され、その出力端子にトランジスタT15のゲートが接続される。トランジスタT15のソースは-10Vの負電源に接続される。

【0092】CMOSインバータ7、8の入力端子には、それぞれ5Vの波高値を持つパルスが印加され、トランジスタT10のソースには正電圧+3V (あるいは+5V) が印加され、トランジスタT13のソースには

負電圧 -10V が印加されている。

【0093】図4のワード線駆動パルス発生回路2aに図5(a)、図5(b)に示すようなワード線駆動信号WDSIN1、WDSIN2を入力すると、CMOSインバータ7の正電源電圧を $+3\text{V}$ とすれば、図5(c)に示すようなワード線駆動パルスWDPOUTが得られる。

【0094】また、図4のワード線駆動パルス発生回路2aに図5(d)、図5(e)に示すようなワード線駆動信号WDSIN1、WDSIN2を入力すると、CMOSインバータ7の正電源電圧を $+5\text{V}$ とすれば、図5(f)に示すようなワード線駆動パルスWDPOUTが得られる。

【0095】なお図5(c)と図5(f)とでパルスWDPOUTの波形を変えているのは、種々なバリエーションを示唆するためである。

【0096】図5(c)のワード線駆動パルスWDPOUTを図4のメモリセルトランジスタMa1~Ma2/Mb1~Mb2に与えれば、パルスWDPOUTの -10V で各メモリセルトランジスタのフローティングゲートから電子を少しずつ引き抜きながら、各メモリセルトランジスタのしきい値電圧VTHを、パルスWDPOUTの $+3\text{V}$ に対応した値に収束させることができる。

【0097】また、図5(f)のワード線駆動パルスWDPOUTを図4のメモリセルトランジスタMa1~Ma2/Mb1~Mb2に与えれば、パルスWDPOUTの -10V で各メモリセルトランジスタのフローティングゲートから電子を少しずつ引き抜きながら、各メモリセルトランジスタのしきい値電圧VTHを、パルスWDPOUTの $+5\text{V}$ に対応した値に収束させることができる。

【0098】次に、図3(b)に示す漏洩電流成分等価抵抗Roのために、副ビット線BLsa1にプリチャージされた電荷の漏洩が大きい場合の影響について述べる。

【0099】図4のワード線駆動パルス発生回路2aを図5(d)~(f)の波形で動作させた場合において、図6(a)は各メモリセルを構成するMOSTランジスタのフローティングゲートの電圧波形VFGを例示し、図6(b)はこのMOSTランジスタが接続された副ビット線の電圧変化VBLを例示し、図6(c)はこのMOSTランジスタのコントロールゲートの電圧波形VCGを例示している。

【0100】なお、図6において、(イ)は図4のメモリセルトランジスタMa1等に該当し、(ロ)は図4のメモリセルトランジスタMb1等に該当し、(ハ)は図示しない第3の副ビット線に接続されたメモリセルトランジスタに該当するものと考えことにする。

【0101】図3(b)に示した等価抵抗Roの値が小さい場合、すなわち副ビット線の漏洩電流(リーク電

流)が大きい場合、フローティングゲート電圧VFGはなかなか所望値に収束しない。図6(a)はそのような場合の波形を示すものである。

【0102】すなわち図6(c)に示すように、不揮発性メモリセルトランジスタの消去のために波高値が 5V から -10V に振動するパルスをメモリセルトランジスタのコントロールゲートに印加すると、図6(a)に示すように、フローティングゲート電圧VFGはコントロールゲート電極に印加されるパルスの振幅に応じて振動する。その過程において、副ビット線の漏洩電流(抵抗Roを介して流れるリーク電流)により、図6(b)に示すように、不揮発性メモリセルトランジスタ(イ)

(ロ)(ハ)それぞれが接続される副ビット線電圧VBLは急激に(異なる変化率で)低下する。しかし、副ビット線電位の低下があまりに早いと、フローティングゲート電圧VFGの値が互いに異なる不揮発性メモリセルトランジスタ(イ)(ロ)(ハ)は、所定のしきい値電圧VTHに向かって容易に収束しない。

【0103】図3(b)の実施例を採用すれば、ビット線選択トランジスタTs a1の間欠的なオン動作により図6(b)に示すような副ビット線電圧の低下が防止されるので、メモリセルトランジスタのしきい値電圧VTH(フローティングゲート電圧VFGに対応)の所望値への収束を確実なものとするができる。

【0104】次に、この発明の第3の実施例に係る不揮発性半導体記憶装置について、図7を参照して説明する。

【0105】図7(a)は、副ビット線BLsa1およびBLsb1に、定常的に大きな漏洩電流が流れる場合を想定した実施例であり、そのために副ビット線漏洩電流を補償する電流供給手段(Ra1、Rb1)を備えている。すなわち、メモリセルブロック1aの主ビット線BLa1と副ビット線BLsa1間に抵抗Ra1を設け、メモリセルブロック1bの主ビット線BLb1と副ビット線BLsb1間に抵抗Rb1を設けている。

【0106】漏洩電流が大きい場合は、副ビット線BLsa1のプリチャージ電位は、たとえば図6(b)の(ハ)に示すように、短時間のうちに急速に低下する。そこで、等価抵抗Roによる漏洩電流と同等以上の電流を、抵抗Ra1を介して主ビット線BLa1から副ビット線BLsa1へ供給して、副ビット線BLsa1のプリチャージ電位の低下を抑制するようにしている。同様に、等価抵抗Roによる漏洩電流と同等以上の電流を抵抗Rb1を介して主ビット線BLb1から副ビット線BLsb1へ供給して、副ビット線BLsb1のプリチャージ電位の低下を抑制する。

【0107】図7(c)は図7(a)のEEPROM構成の要部等価回路を示し、図7(b)はこの等価回路の各部に印加される電圧波形を示している。Coは副ビット線BLsa1に寄生する等価容量成分(浮遊容量)を

示し、 R_o は副ビット線 $BLsa1$ に印加される電圧と漏洩電流とによって決定される等価抵抗を示し、 $Ra1$ は等価抵抗 R_o による漏洩電流と同等以上の電流を副ビット線 $BLsa1$ に供給する漏洩電流補償抵抗である。

【0108】図7(a)の漏洩電流補償抵抗 $Ra1$ ($Rb1$)により、副ビット線 $BLsa1$ ($BLsb1$)のプリチャージ電位が低下するのを防ぎつつ、図7(b)下段に示すようなワード線駆動パルスメモリセルトランジスタのコントロールゲートに与えてやれば、各メモリセルトランジスタのしきい値電圧 V_{TH} をワード線駆動パルスの+3Vに対応する所望値に確実に収束させることができる。

【0109】次に、この発明の第4の実施例に係る不揮発性半導体記憶装置について、図8を参照して説明する。

【0110】図8(a)において、メモリセルアレイ1は図7の実施例と同一構成であり、漏洩電流の補償をする電流供給回路は、抵抗体接続トランジスタ Ta (Tb)と抵抗 $Ra1$ ($Rb1$)との直列接続で構成されている。トランジスタ Ta (Tb)のドレインは主ビット線 $BLa1$ ($BLb1$)に接続され、そのソースが抵抗 $Ra1$ ($Rb1$)の一端に接続され、抵抗 $Ra1$ ($Rb1$)の他端が副ビット線 $BLsa1$ ($BLsb1$)に接続されている。

【0111】図8(c)は図8(a)の要部の等価回路を示しており、図8(b)はその各部に印加される電圧波形を示す。抵抗体接続トランジスタ Ta が図8(b)中上段の+5V信号によりオン状態となると、漏洩電流と同等以上の電流が抵抗 $Ra1$ を介して副ビット線 $BLsa1$ に供給される。

【0112】なお、図7(a)または図8(a)の実施例において、漏洩電流補償抵抗 $Ra1$ または $Rb1$ には、逆バイアス接続されたダイオードの高抵抗を利用してもよい。

【0113】副ビット線の漏洩電流の原因は、メモリセルトランジスタのゲート電圧が負のときに引き起こされるドレイン間トンネル電流や、ドレイン拡散層周辺にある結晶欠陥などが要因となって発生するものと思われる。殊に、前者が主な要因である。

【0114】図8の実施例では、漏洩電流に同期してメモリセルトランジスタのドレインが接続される副ビット線に漏洩電流補償用の電流を供給するので、副ビット線電圧変動を減少させることができる。

【0115】図3(c)、図7(c)あるいは図8(c)の実施例では、漏洩電流成分等価抵抗 R_o を介して逃げる電荷を漏洩電流補償回路($Tsa1$ 、 $Ra1$ あるいは $Ta+Ra1$)で補っているから、ビット線選択トランジスタ $Tsa1$ をオフさせている間、副ビット線 $BLsa1$ に蓄積された電荷を長時間保持することが

きる。

【0116】したがって、ビット線選択トランジスタ $Tsa1$ をトランスファーゲートとして用い、副ビット線 $BLsa1$ の等価容量 C_o を情報記憶容量として用いることによって、リフレッシュ周期を長く取れるDRAM構成を実現することができる。

【0117】図3(c)および図8(c)の実施例では、漏洩電流があっても副ビット線 $BLsa1$ の高電位情報を保つことができる。また副ビット線 $BLsa1$ の低電位情報についてはトランジスタ $Tsa1$ または Ta をオフさせておくことによりその情報を保つことができる。しかし図7(c)の実施例では、主ビット線 $BLa1$ の電位が高いままだと、補償抵抗 $Ra1$ を介して漏洩分補償電流が常時副ビット線 $BLsa1$ に流れ込むので、副ビット線 $BLsa1$ の低電位情報の長時間維持には不向きなものとなる。したがって、図7(c)の実施例を採用する場合は、副ビット線 $BLsa1$ に低電位情報を保持している期間中は主ビット線 $BLa1$ の電位を下げるように構成するとよい。

【0118】図9は、フローティングゲート電圧(V_{FG})の異なる不揮発性メモリセルトランジスタ(イ;たとえば $Ma1$)および(ロ;たとえば $Mb1$)の動作状態を示す。

【0119】図9(c)に示すように、メモリセルトランジスタのフローティングゲートには、正負の電圧(3V、-10V)に振幅変化する周期30 μ secのパルスが印加される。この場合、図9(a)に示すように、フローティングゲート電圧(V_{FG})はこのパルスの周期に呼応して変動する。メモリセルトランジスタ(イ)および(ロ)の異なったフローティングゲート電圧(V_{FG})は、図9(c)のコントロールゲート電圧の-10Vでそのフローティングゲートから流れるトンネル電流により少しずつ減少し、次第に所定の電圧に収束する。

【0120】図9(b)において、メモリセルトランジスタ(ロ;たとえば $Mb1$)のドレイン電圧/ビット線電圧 V_{BL} (副ビット線 $BLsb1$ の電圧)は、このトランジスタのフローティングゲートから電子が所定量引き抜かれたあとは、 $Rb1$ の供給電流による上昇とこのメモリセルトランジスタのオンによる低下とによって脈動する。

【0121】一方図9(b)に示すように、メモリセルトランジスタ(イ;たとえば $Ma1$)そのドレイン電圧は、フローティングゲートに蓄積された電子が大きく引き抜かれるまでは十分な電位を保持しており、所定量の引き抜きが完了すまで(このメモリセルトランジスタはオフ)は上記脈動はほとんどない。

【0122】図7(a)または図8(a)の実施例では、等価抵抗 R_o と容量成分 C_o との積で定まる積分時定数($R_o C_o$)は、メモリセルトランジスタのフロー

ディングゲートに印加されるワード線駆動パルスの周期よりも大きくなるように設定される。これは、図9 (b) の (ロ) で示すような、ワード線駆動パルスの印加による副ビット線の電圧変動を押さえるためである。たとえば、ワード線駆動パルスの周期を $30 \mu s$ とすれば、この時定数 ($R_o C_o$) は $100 \sim 300 \mu sec$ 程度に設定される。具体的には、副ビット線等価容量 C_o が $100 \sim 300 fF$ 程度なら抵抗 R_{a1} の抵抗値は $1000 M\Omega$ 程度に設定される。

【0123】図10は、図8 (c) に示す補償電流供給回路 (T_a , R_{a1}) の代替手段として利用できるコントロールゲート付きMOSダイオードの構成の一例を示す。

【0124】すなわち、P型基板15中に形成されたN型ウェル10内にP型ウェル11が形成される。P型ウェル11内にはN型のソース領域12sおよびドレイン領域12dが形成される。領域12s、12d間のチャネル領域上にはゲート電極13が形成される。このゲート電極13には、図8 (c) のトランジスタ T_a のゲートと同様な電圧信号が印加される。

【0125】主ビット線 (BL_{a1}) はN型ソース・ドレイン領域12s、12dおよびN型ウェル10に接続され、P型ウェル11は高濃度P+領域14を介して副ビット線 ($BL_{s a1}$) に接続されている。ゲート電極13に印加される電圧信号 (図8 (b) の中上段波形) をビット線選択トランジスタ $T_{s a1}$ のゲートに印加される電圧信号 (図8 (b) の中下段波形) に同期させることによって、副ビット線 ($BL_{s a1}$) の電圧変動を押さえることができる。

【0126】上述のように、この発明の実施例装置は、副ビット線がプリチャージされた後その電位を維持し得るように、漏洩電流を上回る電流を副ビット線に供給する補償電流供給回路を備えている。すなわち、主ビット線と副ビット線の間に抵抗 (R_{a1}) 等による電流源回路を設けたものであるが、この補償電流供給回路は、実施例開示のもの (R_{a1} , T_a , 図10のゲート付きMOSダイオード) に限定することなく、回路機能上同等の種々な公知回路を用いることができるというまでもない。

【0127】なお、この発明の不揮発性半導体記憶装置は図1に示すようなメモリセルアレイ構成に限定するものではなく、多数の主ビット線各々に多数のメモリセルトランジスタ (数百以上) からなるメモリセルブロックが接続されたような、種々のメモリセルアレイに適応できる。

【0128】図12は、この発明の第5の実施例に係る不揮発性半導体記憶装置の構成を示す。これは図1あるいは図4の実施例の変形例でもある。

【0129】図1のワード線スイッチ回路3の回路数は、図12に示すように、メモリセルブロック1a (1

b) を構成するメモリセルトランジスタ $Ma1 \sim Ma2$ ($Mb1 \sim Mb2$) の数に一致させてもよい。たとえばメモリセルブロック1aが1024個のメモリセルトランジスタ $Ma1 \sim Ma1024$ で構成されるなら、このワード線スイッチ回路を1024回路用意する。あるいは、ワード線駆動パルス発生回路2の出力を1024本のワード線 $W1 \sim W1024$ に順次接続するマルチプレクサで、ワード線スイッチ回路3を構成する。

【0130】図12において、全てのワード線スイッチ回路31~32を同時にオンさせて全てのワード線を同時にワード線駆動パルス発生回路2の出力に接続するようにすれば、全てのメモリセルブロック内のメモリセルトランジスタを同時に消去することができる (これはフラッシュEEPROMの一括消去動作)。

【0131】一方、ワード線スイッチ回路31~32を1回路づつオンさせて特定のワード線にワード線駆動パルス発生回路2の出力に接続するようにすれば、各メモリセルブロック内の特定のメモリセルトランジスタだけを消去することができる (ビット単位消去動作)。

【0132】図13は、この発明の第6の実施例に係る不揮発性半導体記憶装置の構成を示す。これは図1あるいは図4の実施例の変形例でもある。

【0133】図1のワード線スイッチ回路3の回路数は、図13に示すように、メモリセルブロック1a (1b) の数に一致させてもよい。たとえばメモリセルブロックが512ブロックで構成されるなら、このワード線スイッチ回路を512回路用意する。あるいは、ワード線駆動パルス発生回路2の出力を512本のブロック単位ワード線に順次接続するマルチプレクサで、ワード線スイッチ回路3を構成する。

【0134】図13において、全てのワード線スイッチ回路3a~3bを同時にオンさせて全てのワード線を同時にワード線駆動パルス発生回路2の出力に接続するようにすれば、全てのメモリセルブロック内のメモリセルトランジスタを同時に消去することができる (これはフラッシュEEPROMの一括消去動作)。

【0135】一方、ワード線スイッチ回路3a~3bを1回路づつオンさせて特定のメモリセルブロックのワード線毎にワード線駆動パルス発生回路2の出力に接続するようにすれば、各メモリセルブロックの内の全メモリセルトランジスタをブロック毎に消去することができる (ブロック単位消去動作)。

【0136】なお、メモリセルアレイの構成は、さらに変形可能である。たとえば図14に示すように、ソース側選択トランジスタ $Trs1$ が接続されたソース線 SL_a の他に副ソース線 SL_b が設けられている場合は、補償電流供給回路をソース線と副ソース線間に接続することによって、副ビット線の漏洩電流を補うことができる。すなわち、図8 (a) の実施例で用いられた抵抗体接続トランジスタ T_a , T_b を削除してそれらのドレイ

ン/ソース間を短絡し、その代わりに第3のMOSトランジスタT_{ab}のドレイン/ソースをソース線S_L_a/副ソース線S_L_b間に接続し、この第3MOSトランジスタT_{ab}を抵抗性接続トランジスタT_a、T_bと同じタイミングでオン/オフさせることによって、漏洩電流補償を行なうことができる。この際、ソース回路(S_L_a/S_L_b)の選択トランジスタT_{rs1}がゲート線S_L₁の信号によりオンしている場合に限り、上記漏洩電流補償を行なうようにできる。

【0137】

【発明の効果】上述のように、この発明の不揮発性半導体記憶装置によれば、副ビット線をプリチャージした後、不揮発性メモリセルトランジスタのフローティングゲートに正負に振動するパルスを印加することによって、多数のメモリセルトランジスタの異なったフローティングゲート電圧を所定の電位に収束させることができるものであり、極めて簡単な手段により正確な書き込み・消去動作がなされ得る。

【0138】また、副ビット線に蓄積された充電電圧の電位が漏洩電流によって低下する場合であったとしても、漏洩電流の補償手段を備えることによって副ビット線の電位を保持できるものであり、保持された副ビット線電位の下で、異なったフローティングゲート電圧をもつ不揮発性メモリセルトランジスタ全てを確実に所定のしきい値電圧に消去することができる。

【0139】さらに、この発明の不揮発性半導体記憶装置では、各メモリセルブロックを構成する複数の不揮発性メモリセルトランジスタのドレインが接続された副ビット線をDRAM類似動作の書込情報バッファとして動作させることができるので、不揮発性メモリセルトランジスタへの情報書込時間を、DRAM並に短縮できる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る不揮発性半導体記憶装置の構成を説明する回路図。

【図2】図1の装置で用いられるワード線駆動パルス発生回路(レベルシフタ)の回路動作を説明するもので、(a)は入力信号波形を示し(b)は出力パルス波形を示す。

【図3】図1の装置におけるビット線選択トランジスタおよびメモリセルトランジスタの回路動作を説明するもので、(a)は回路の要部電圧波形を示し(b)はビット線上の容量成分および漏洩電流成分を見込んだ等価回路を示す。

【図4】この発明の第2の実施例に係る不揮発性半導体記憶装置の構成を説明する回路図。

【図5】図4の装置で用いられるワード線駆動パルス発生回路(レベルシフタ)の回路動作を2例説明するもので、(a)は第1の例における第1入力信号波形を示し(b)は第1の例における第2入力信号波形を示し(c)は第1の例における出力パルス波形を示し(d)

は第2の例における第1入力信号波形を示し(e)は第2の例における第2入力信号波形を示し(f)は第2の例における出力パルス波形を示す。

【図6】図4のワード線駆動パルス発生回路(レベルシフタ)を図5(d)~(f)の波形で動作させた場合において、図4の不揮発性半導体記憶装置を構成するメモリセルの動作を説明するもので、(a)は各メモリセルを構成するMOSトランジスタのフローティングゲートの電圧波形例を示し(b)は上記MOSトランジスタが接続されたビット線の電圧変化例を示し(c)は上記MOSトランジスタのコントロールゲートの電圧波形例を示す。

【図7】この発明の第3の実施例に係る不揮発性半導体記憶装置の構成およびその動作を説明するもので、

(a)はその要部回路例を示し(b)はこの回路例の要部電圧波形を示し(c)はこの回路例におけるビット線上の容量成分および漏洩電流成分を見込んだ等価回路を示す。

【図8】この発明の第4の実施例に係る不揮発性半導体記憶装置の構成およびその動作を説明するもので、

(a)はその要部回路例を示し(b)はこの回路例の要部電圧波形を示し(c)はこの回路例におけるビット線上の容量成分および漏洩電流成分を見込んだ等価回路を示す。

【図9】図8の不揮発性半導体記憶装置を構成するメモリセルの動作を説明するもので、(a)は各メモリセルを構成するMOSトランジスタのフローティングゲートの電圧波形例を示し(b)は上記MOSトランジスタが接続されたビット線の電圧変化例を示し(c)は上記MOSトランジスタのコントロールゲートの電圧波形例を示す。

【図10】図8に示すような補償電流供給回路(T_a、R_{a1})の代替手段として利用できるコントロールゲート付きMOSダイオードの構成を例示する半導体断面図。

【図11】公知のEEPROMセル構造とそれらのセルのしきい値分布を説明するもので、(a)はオフセットゲート型フラッシュEEPROMしきい値分布例を示し(b)はセルフアラン型フラッシュEEPROMのしきい値分布例を示し(c)はNAND型EEPROMのしきい値分布例を示す。

【図12】この発明の第5の実施例に係る不揮発性半導体記憶装置の構成を説明する回路図。

【図13】この発明の第6の実施例に係る不揮発性半導体記憶装置の構成を説明する回路図。

【図14】この発明の第7の実施例に係る不揮発性半導体記憶装置の構成を説明する回路図。

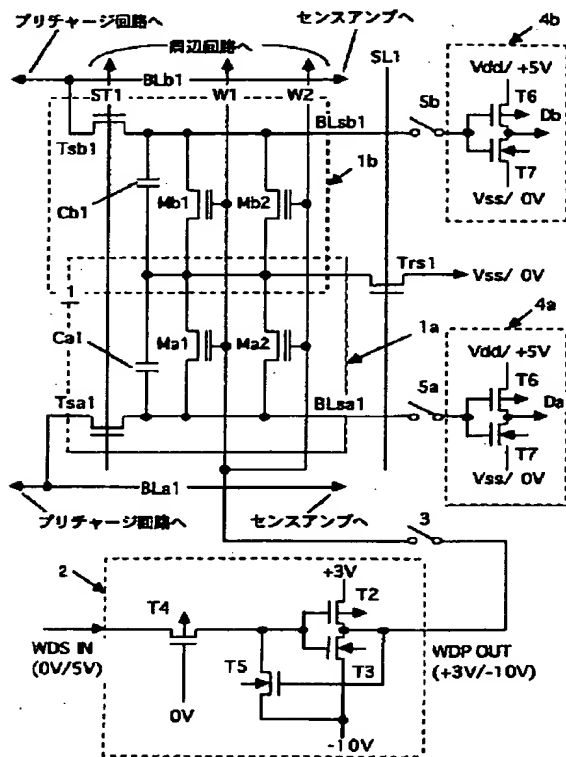
【符号の説明】

1…メモリセルアレイ；1a、1b…メモリセルブロック；2、2a…ワード線駆動パルス発生回路(レベルシ

27

フタ; 駆動信号手段); 3、31、32、3a、3b…ワード線スイッチ回路; 4a、4b…電荷引抜完了検出回路 (CMOSインバータ); 5a、5b…スイッチ回路; 6、7、8…CMOSインバータ; 9…スピードアップ回路; 10…Nウェル; 11…Pウェル; 12S…N+ソース領域; 12D…N+ドレイン領域; 13…ゲート電極; ST1…ビット線選択ゲート線 (導通手段); SL1…ソース側選択ゲート線; BLa1、BLb1…主ビット線; BLsa1、BLsb1…副ビット線; W1、W2…ワード線; WDSIN…ワード線駆動信号入力; WDPOUT…ワード線駆動パルス出力; Tsa1、Tsb1…ビット線選択トランジスタ; Trs

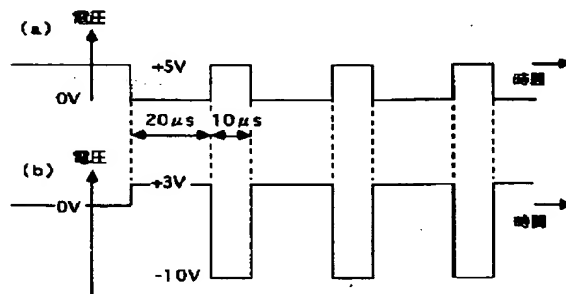
【図1】



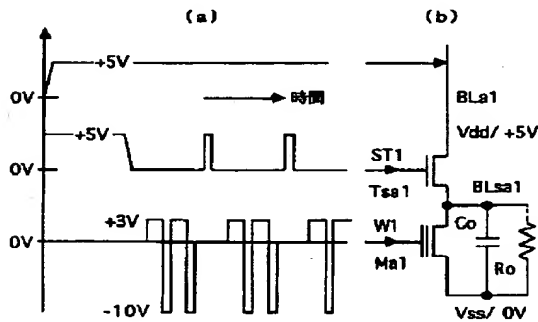
28

1…ソース側選択トランジスタ; Ma1、Mb1、Ma2、Mb2…不揮発性メモリセルトランジスタ (コントロールゲートとフローティングゲートを持つNチャネルMOSTランジスタ); Ca1、Cb1…ビット線キャパシタ; C1…キャパシタ; Co…副ビット線等価容量; Ro…副ビット線漏洩電流成分等価抵抗; Ra1、Rb1…漏洩電流補償抵抗 (抵抗体); I1、I2…インバータ; T2、T4、T6、T8、T10、T12、T14…Pチャネルトランジスタ; T3、T5、T7、T9、T11、T13、T15…Nチャネルトランジスタ; Ta、Tb…抵抗体接続トランジスタ; Tab…第3のMOSTランジスタ。

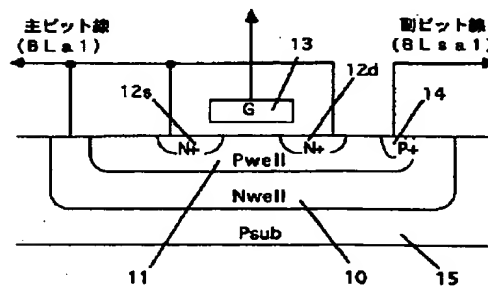
【図2】



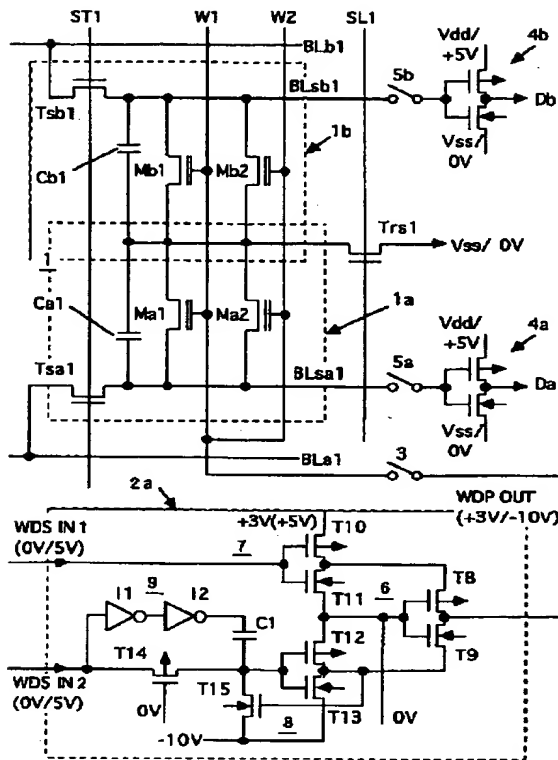
【図3】



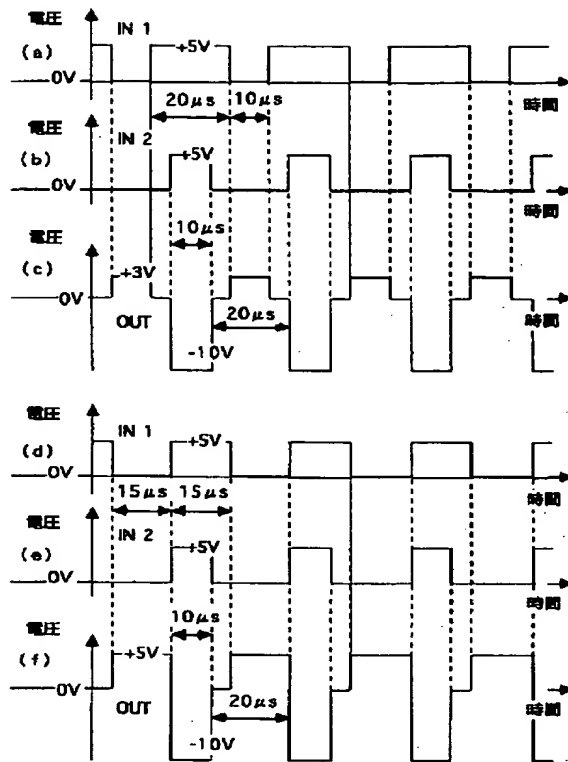
【図10】



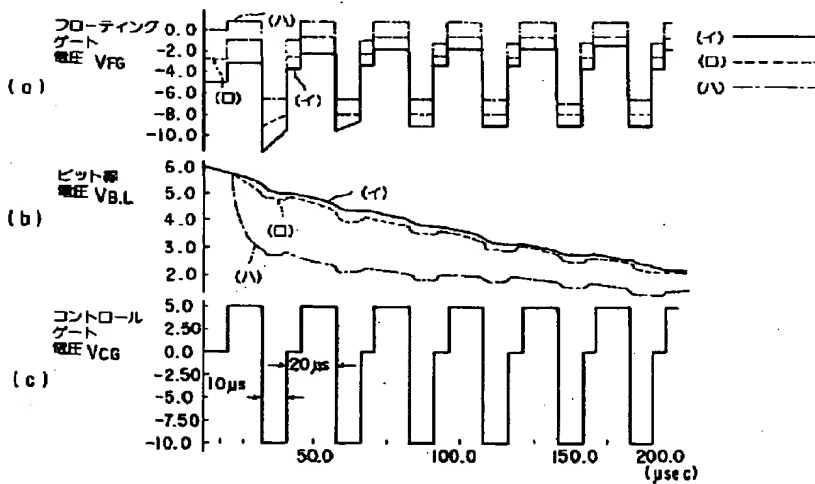
【図4】



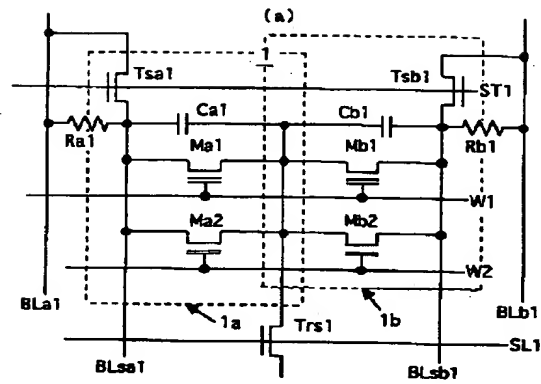
【図5】



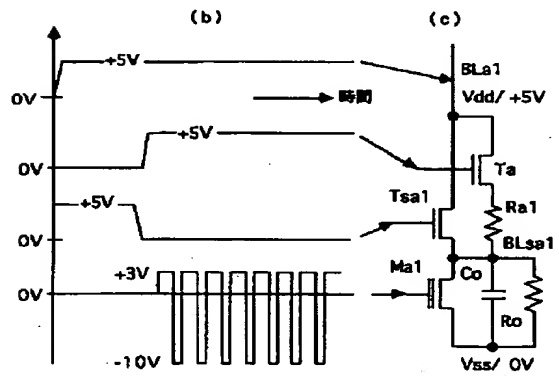
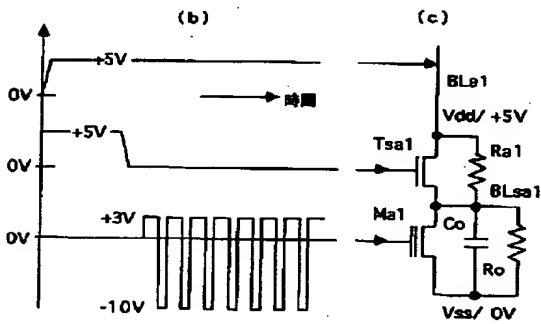
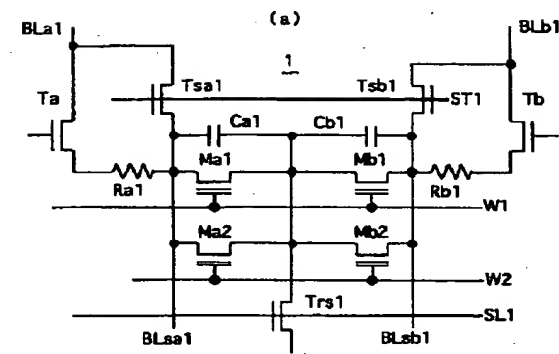
【図6】



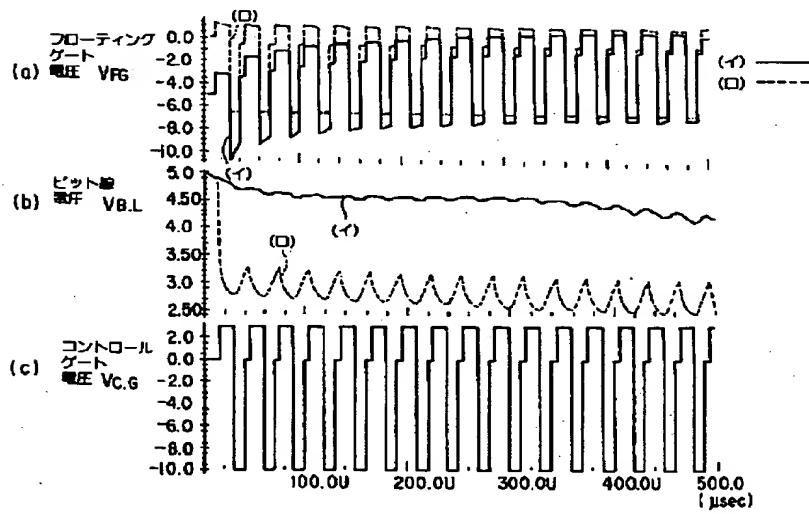
【図7】



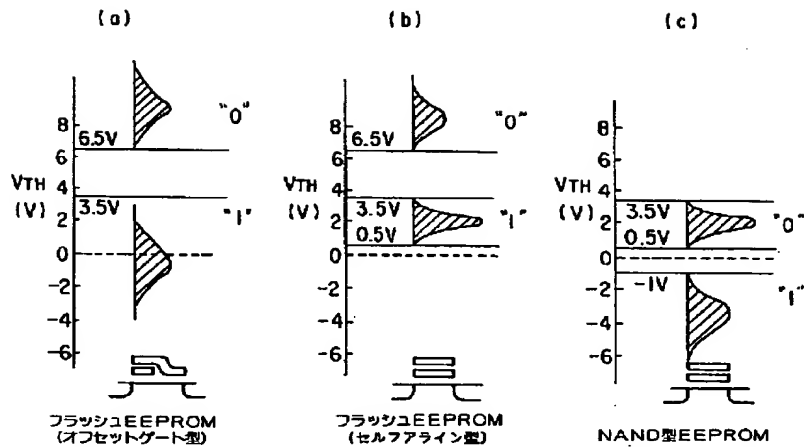
【図8】



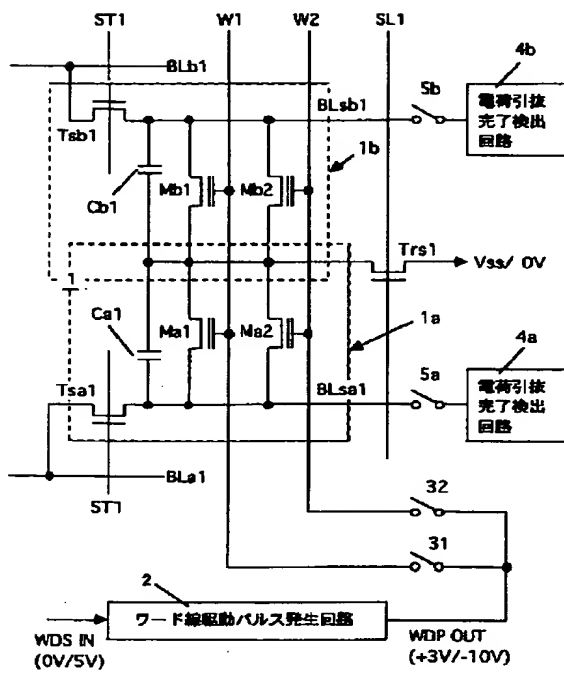
【図9】



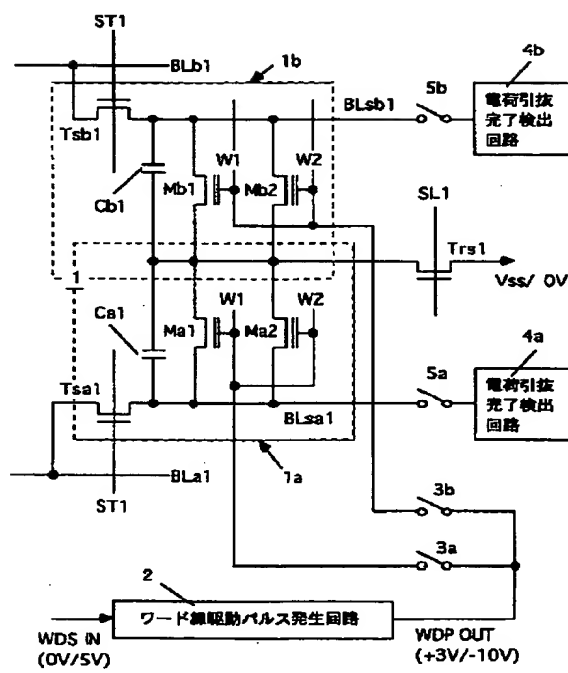
【図11】



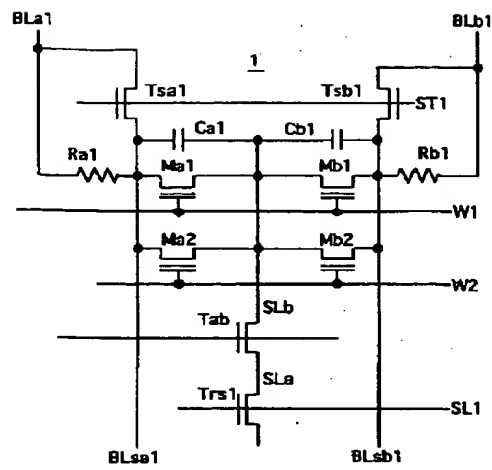
【図12】



【図13】



【図14】



フロントページの続き

(51) Int. Cl. 6

H01L 27/115

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H01L 27/10

434